

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-217761

(43)Date of publication of application : 31.10.1985

(51)Int.Cl.

H04N 5/335
H01L 27/14

(21)Application number : 59-073958 (71)Applicant : TOSHIBA CORP

(22)Date of filing : 13.04.1984 (72)Inventor : YOSHIDA OKIO

ENDO YUKIO

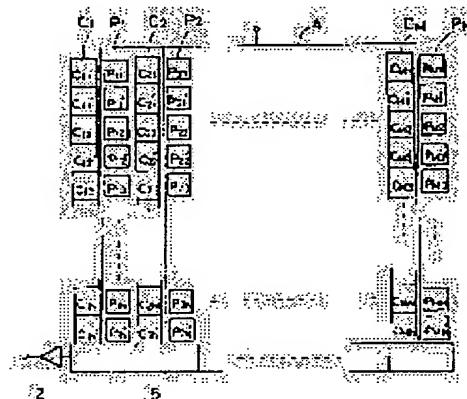
HARADA NOZOMI

(54) HIGH-RESOLUTION SOLID-STATE IMAGE PICKUP DEVICE

(57)Abstract:

PURPOSE: To obtain a solid-state image pickup device which reproduces a highly detailed picture, by providing two operation modes which add signal charges of vertically continuous two-picture element quantity or the quantity of two picture elements of different matrices of a vertical charge transferring section to a horizontal charge transferring section.

CONSTITUTION: Firstly, the signal charges accumulated in all photosensitive sections of A-field are simultaneously transferred to a vertical CCD register through a field shift gate 4. Signal charges of each picture element are held at each stage of the vertical CCD register of an one picture element/one stage constitution and the charges are transferred downward one stage by one stage. While the downward transfer of one stage is made, one line of electric charges inputted in a horizontal CCD register 5 are held under the same condition and the horizontal transfer is made after another one-stage downward transfer is made and another line of electric charges are inputted. This becomes the 1st operating mode. Secondly, signals of two-picture element quantity of different matrices are added to the horizontal CCD register at B-field and the horizontal transfer is performed in the same way. This becomes the 2nd operating mode.



English translation of the relevant portions of Unexamined Patent Application Publication No. S60-217761

(12) Unexamined Patent Application Publication No. S60-217761

(43) Publication Date: October 31, 1985

(54) Title: High-resolution solid-state image pickup device

(21) Application No. 59-073958

(22) Application Date: April 13, 1984

(72) Inventor: Okio Yoshida

(72) Inventor: Yukio Endo

(72) Inventor: Nozomi Harada

(71) Applicant: TOSHIBA CORPORATION

SPECIFICATION

TITLE OF THE INVENTION

HIGH-RESOLUTION SOLID-STATE IMAGE PICKUP DEVICE

[Page 366, line 4-6 of top left column of the Japanese text]

[Technical Field of the Invention]

The present invention relates to a high-resolution solid-state image pickup device which reproduces a high-definition image.

[Page 366, line 18 of top right column to line 15 of bottom right column of the Japanese text]

Here, the number of transfer stages in the vertical direction of the vertical CCD registers C1, C2, ..., CM is N (= 250), which is half the number of pixels in the vertical direction of the photosensitive sections P1, P1'. In the normal television standard system, one frame is composed of two fields, and interlace scanning is performed. Accordingly, the IT-CCD also performs an imaging operation conforming thereto, where the foregoing two fields are divided into A- and B-fields, and in the A-field, signal charges accumulated in two photosensitive sections (P11, P11'), (P12, P12'), ..., (P1N, P1N'), (P21, P21'), (P22, P22'), ..., (P2N, P2N'), ..., (PM1, PM1'), (PM2, PM2'), ..., (PMN, PMN') continuously provided in the vertical direction are read out together, and in the B-field, signal charges accumulated in two continuous photosensitive sections (P11', P12), (P12', P13), ..., (P21', P22), (P22', P23), ..., (PM1', PM2), (PM2', PM3), ... different in phase by 180 degrees, spatially, with respect to the vertical direction, from the two photosensitive sections, from which signal charges have been vertically read out in the A-field, are read out together. Such a signal charge

readout mode is called a field integration mode, and in this case, since spatial phases of signals to be read out in the A- and B-fields are different by 180 degrees in the vertical direction, $2N \times M$ ($=500 \times 400$) sampling points are obtained from the entire photosensitive region.

These sampling points are shown in Fig. 2. Black circles denote A-field sampling points, and white circles denote B-field sampling points. Each of the sampling points is located at a middle point of two continuous pixels in the vertical direction. The A- and B-field sampling points have a square lattice arrangement, as shown in the figure.

In the IT-CCD of such a conventional system, the number of sampling points in a 1-field time is 250 vertically, and horizontally, 400, while in a 2-field period by interlacing, the number of sampling points is doubled to 500 vertically, and a total number of sampling points is 200K.

[Page 367, line 10-11 of bottom left column of the Japanese text]

Fig. 3 is a schematic configuration diagram of a solid-state image pickup device according to an embodiment of the present invention.

[Page 368, line 15 of top right column to line 5 of bottom right column of the Japanese text]

Description will be given of an imaging operation by the configuration of Fig. 3 and Fig. 4. First, signal charges accumulated in all photosensitive sections of the A-field are simultaneously transferred to the vertical CCD registers through a field shift gate 4. Since the vertical CCD register has a one-pixel-to-one-stage configuration as described above, signal charges of the respective pixels are individually held at the respective adjacent stages of the vertical CCD register. These signal charges are transferred downward in Fig. 3 one stage by one stage in the vertical CCD register. In the case of an ordinary CCD, electric charges transferred one stage by one stage and input into a horizontal CCD register 5 are transferred at high speed in the horizontal direction, and sequentially read out of an output section 2.

On the other hand, in the solid-state image pickup device of the present embodiment, one line of electric charges input into the horizontal CCD register 5 by a one-stage transfer in the vertical direction are held as they are, and a horizontal transfer is performed after another line of electric charges are input by another one-stage transfer in the vertical direction. By repeating this operation, signal charges accumulated in two photosensitive sections $(P11, P11')$, $(P12, P12')$, ..., $(P1N, P1N')$, ..., $(P21, P21')$, $(P22, P22')$, ..., $(P2N, P2N')$, ..., $(PM1, PM1')$, $(PM2, PM2')$, (PMN, PMN') continuously provided in the vertical direction are added and read out. This is the first operation mode in the horizontal CCD register.

Next, in the B-field, signal charges accumulated in all photosensitive sections

are likewise simultaneously transferred to the vertical CCD register through the field shift gate 4. These signal charges are transferred one stage by one stage in the vertical direction and sent to the horizontal CCD shift register 5, however, unlike in the A-field, when an electric charge from the photosensitive section without a prime in Fig. 2, for example, P22 is input into the horizontal CCD register 5, the electric charge is not held as it is, but is shifted forward by only a one-stage equivalent (for one column) of the horizontal CCD register. Hereinafter, this is named a one-column forward shift. At the point in time where a one-column forward shift has been performed, one-stage transfer is again performed in the vertical CCD register to send another line of electric charge into the horizontal CCD register 5. This electric charge is one from the photosensitive section with a prime, for example, P11'. Thereafter, a horizontal transfer is performed to read out signals. By repeating this operation, the signals in the B-field are provided as signal charges accumulated in two diagonal photosensitive sections (P11', P22), (P13', P24), ... that have been added. This is the second operation mode in the horizontal CCD register.

Sampling points by combination of these A- and B-fields are illustrated in Fig. 5. Although black circles denote the same A-field points as those in Fig. 2, B-field points denoted by white circles are half-shifted in the horizontal direction to have a rhombic lattice arrangement.

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開
 ⑪ 公開特許公報 (A) 昭60-217761

⑫ Int. Cl. 4
 H 04 N 5/335
 H 01 L 27/14

識別記号 庁内整理番号
 6940-5C
 7525-5F

⑬ 公開 昭和60年(1985)10月31日

審査請求 有 発明の数 1 (全12頁)

⑭ 発明の名称 高解像度固体撮像装置

⑮ 特願 昭59-73958
 ⑯ 出願 昭59(1984)4月13日

⑰ 発明者 吉田 興夫 川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内
 ⑰ 発明者 遠藤 幸雄 川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内
 ⑰ 発明者 原田 望 川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内
 ⑰ 出願人 株式会社東芝 川崎市幸区堀川町72番地
 ⑰ 代理人 弁理士 鈴江 武彦 外2名

明細書

1. 発明の名称

高解像度固体撮像装置

2. 特許請求の範囲

(1) 半導体基板に、光、電子、X線等の照射により発生した信号電荷を蓄積する、二次元配列された画素を構成する信号電荷蓄積部と、この信号電荷蓄積部の垂直方向配列に沿って各列間に設けられた前記信号電荷を読み出す垂直電荷転送部と、この垂直電荷転送部を転送された信号電荷を受けて出力部へ送る水平電荷転送部とを有する固体撮像装置において、前記垂直電荷転送部は垂直方向に配列された画素ごとに一段の電荷転送段が形成された1画素1段構成とし、前記水平電荷転送部は、前記垂直電荷転送部の垂直に連続した2画素分の信号電荷と同じ位置で加算する第1の動作モードと、前記垂直電荷転送部の行、列の異なる2画素分の信号電荷を加算する第2の動作モードとをもつことを特徴とする高解像度固体撮像装置。

(2) 前記1画素1段構成の垂直電荷転送部は3層の転送電極からなる事を特徴とする特許請求の範囲第1項記載の高解像度固体撮像装置。

(3) 前記水平電荷転送部の第2の動作モードは、加算すべき2画素分の信号電荷の内最初に水平電荷転送部に入った信号電荷を順送りまたは逆送りして他の列の信号電荷を重ねて受取るようにしたことを特徴とする特許請求の範囲第1項記載の高解像度固体撮像装置。

(4) 前記水平電荷転送部は3相または4相駆動により順方向および逆方向への転送が可能であることを特徴とする特許請求の範囲第1項記載の高解像度固体撮像装置。

(5) Aフィールドを前記第1の動作モード、Bフィールドを前記第2の動作モードとして2フィールド/1フレームの撮像動作を行うことを特徴とする特許請求の範囲第1項記載の高解像度固体撮像装置。

(6) 光電変換部が前記信号電荷蓄積部と別に信号電荷蓄積部の上に重ねられた2階建て構造を有

することを特徴とする特許請求の範囲第1項記載の高解像度固体撮像装置。

3. 発明の詳細な説明

(発明の技術分野)

本発明は高精細画像を再生する高解像度固体装置に関する。

(発明の技術的背景とその問題点)

従来の例えはNTSC方式のごときテレビジョン標準方式では、垂直方向走査線512本、飛び越し走査1フレーム2フィード構成、画面アスペクト比3:4などが定められているため、その撮像手段である固体撮像装置は、この標準方式に適合すべく構成されている。

現在この標準方式に適合した例えはインターライン転送方式CCD(以後IT-CCDと称す)における画素数は500(垂直)×400(水平)程度である。

このようなIT-CCDの撮像動作を第1図を用いて簡単に説明する。このIT-CCDでは例えはホトダイオード(以下PDと称す)で形成さ

れた $2N \times M$ 個(例えは $N=250, M=400$)の感光部 $P_{11}, P_{11}', P_{12}, P_{12}', \dots, P_{1N}, P_{1N}', P_{21}, P_{21}', P_{22}, P_{22}', \dots, P_{2N}, P_{2N}', \dots, P_{M1}, P_{M1}', P_{M2}, P_{M2}', \dots, P_{MN}, P_{MN}'$ (以下 P_i, P_i' で代表する)と、この感光部 P_i, P_i' で光電変換されて蓄積された信号電荷を読み出すための垂直電荷転送部である垂直CCDレジスタ C_1, C_2, \dots, C_M が互いに水平方向に交互配列されている。そして垂直CCDレジスタの信号電荷は、1段毎に水平電荷転送部である水平CCDレジスタ1に転送され、水平有効期間において水平CCDレジスタ1内を転送された後順次出力部2より読み出される。4は、感光部 P_i, P_i' の信号電荷を垂直CCDレジスタ C_1, C_2, \dots, C_M によみだすためのフィールドシフトゲートである。

ここで垂直CCDレジスタ C_1, C_2, \dots, C_M における垂直方向の転送段数は感光部 P_i, P_i' の垂直方向画素数の半数の $N (= 250)$

である。通常のテレビジョン標準方式において1フレームは2フィールドより構成され、またインターレース走査を行なっている。従ってIT-CCDでもこれに適合した撮像動作を行なってお先の2フィールドをA, Bフィールドに分け、フィールドでは垂直方向に連続して設けられた個の感光部(P_{11}, P_{11}'), (P_{12}, P_{12}'), ..., (P_{1N}, P_{1N}'), (P_{21}, P_{21}'), (P_{22}, P_{22}'), ..., (P_{2N}, P_{2N}'), ..., (P_{M1}, P_{M1}'), (P_{M2}, P_{M2}'), ..., (P_{MN}, P_{MN}')で蓄積された信号電荷を合せて読み出し、Bフィールドでは、垂直にAフィールドで読み出した2個の感光部に対して空間的に垂直方向に対して180度位相が異なる連続した2個の感光部(P_{11}', P_{12}), (P_{12}', P_{13}), ..., (P_{21}', P_{22}), (P_{22}', P_{23}), ..., (P_{M1}', P_{M2}), (P_{M2}', P_{M3}), ...で蓄積された信号電荷を合せて読み出す。このような信号電荷

読み出しモードをフィールド蓄積モードと呼び、この場合、垂直方向においてA, Bフィールドで読み出される信号の空間的位相が180度異なるため、感光領域全域からは $2N \times M$ 個($= 500 \times 400$ 個)のサンプル点が得られる。

これらのサンプル点を第2図に示す。Aフィールドが黒丸印で表わされ、Bフィールドが白丸印である。このサンプル点は垂直方向の連続2画素の中間点にとってある。AとBフィールドサンプル点は図に見られるように正方格子配列となる。

このような従来方式のIT-CCDでは1フィールド時間でのサンプル点は垂直が250個、水平が400個であり、インターレースによる2フィールド期間で垂直が2倍の500個のサンプル点となり、合計サンプル点は200K個となる。

これらの画像を見ると、垂直方向は撮像管と同じサンプル点となり問題は無いが、水平方向はかなり見劣りする。水平方向の画素数としては400個では不足であり、580個さらには800個と倍増が要求されている。しかし、同じシリコン・チ

ップの中に2倍の画素数を組み込むには極めて微細な集積回路製作技術を必要とし実用化にはかなりの年数を必要とする。

画素数を直接増加せずに類似的に増加する方法としてMOS形撮像素子では画素をいわゆる市松配置(補間配置とも言う)とし、2行同時読み出しが採用する方式がとられている(参考文献:テレビジョン学会誌第37巻第10号812~818頁)。MOS形素子では読み出しがのラインがA&Bであり、垂直、水平の配線が容易であり2行(垂直方向に2画素)同時に読み出し、得られた信号を別々に2本の信号線から出力して外部で容易に半画素のずれを遅延線により半ピット調整して、元の画素位置に対応した時間信号に出来る。

これに対して、IT-CCDでは市松画素配置は、垂直転送CCDを蛇行させる必要があり、構成が複雑になる。また前述したように垂直方向の2画素を同時に読み出しが、CCDの段数が画素数の半分であるから別個に保持できず、転送の初期

に合算せざるを得ない。

このように、IT-CCDを高精細化するには構造の複雑化が避けられず、単なる画素数の増加が解決手段として追及されている。

(発明の目的)

本発明は上記の点に鑑みなされたもので、雑音や感度の点ですぐれるIT-CCDの特徴を生かしつつ、高精細画像を再生する固体撮像装置を提供することを目的とする。

(発明の概要)

本発明における固体撮像装置においては、垂直電荷転送部を、垂直方向の画素ごとに一段の電荷転送段が形成された1画素1段構成とすること、および、水平電荷転送部に、垂直電荷転送部の垂直に連続した2画素分の信号電荷を同じ位置で加算する第1の動作モードと、垂直電荷転送部の行列の異なる2画素分の信号電荷を同じ位置で加算する第2の動作モードとを持たせたことを特徴とする。上記の如き垂直電荷転送部としては例えば、本発明者等が先に提案した特開昭58-1614

73号公報(出願日S57.2.19)のものを用いればよい。

(発明の効果)

本発明によれば、水平方向の画素数を物理的に増加する事をせずに、従来の集積回路技術で水平方向に2倍の解像度となる高解像度固体撮像装置とする事ができる。

(発明の実施例)

以下、図面を参照して本発明を詳細に説明する。

第3図は本発明の一実施例による固体撮像装置の模式的構成図である。ホトダイオード(PD)

で形成されたM列の感光部P₁、P₂、…、P_Mと、同じくM列の垂直CCDレジスタC₁、C₂、…、C_Mが図示の如く交互に配列され、感光部の各列は(P₁₁、P_{11'}、P₁₂、P_{12'}、P₁₃、…、P_{1N}、P_{1N'})、(P₂₁、P_{21'}、P₂₂、P_{22'}、P₂₃、…、P_{2N}、P_{2N'})、…、(P_{M1}、P_{M1'}、P_{M2}、P_{M2'}、P_{M3}、…、P_{MN}、P_{MN'})の如く2N個のPDが配置されており、

また垂直CCDレジスタの各々はPDに1対1に対応して(C₁₁、C_{11'}、C₁₂、C_{12'}、C₁₃、…、C_{1N}、C_{1N'})、(C₂₁、C_{21'}、C₂₂、C_{22'}、C₂₃、…、C_{2N}、C_{2N'})、…、(C_{M1}、C_{M1'}、C_{M2}、C_{M2'}、C_{M3}、…、C_{MN}、C_{MN'})の如く2N個の転送段を有する。即ち、感光部と垂直CCDレジスタが交互に配列され、かつ垂直CCDレジスタの転送段数と垂直方向PD数は同数とされる。ここでNを例えば250とすると垂直方向のPD数と垂直CCDレジスタの転送段数は、いずれも500となる。

垂直CCDレジスタの構成を第4図に示す。断面は垂直CCDレジスタの垂直方向にとてある。P型シリコン基板10上に埋め込みチャネルであるN⁺層11が設けられ、このN⁺層11上に第1ゲート酸化膜12が形成されている。そしてこのゲート酸化膜12上に第1層目の転送電極15(15-1, 15-2, 15-3, …)が形成され、その上に第2ゲート酸化膜13を介して

第2層目の転送電極16(16-1, 16-2, …)が、第1層目の転送電極15と重なり部A。を有して形成されている。そしてさらにその上に第3ゲート酸化膜14を介して垂直方向に連続して第3層目の転送電極17が形成されている。ここでこの第3層目の転送電極17は、第1層目の転送電極15と第2層目の転送電極16が重なっていない間際部において基板に対向するようになっている。

そして第1層目の転送電極15、第2層目の転送電極16及び第3層目の電極17に各々独立な3相クロックパルス電圧を印加することにより、連続した3電極例えば図のApの範囲を一段の転送単位として垂直方向の電荷転送が行われる。

第3図と第4図の構成による撮像動作を説明する。まずAフィードで全ての感光部に蓄積された信号電荷をフィールドシフトゲート4を介して垂直CCDレジスタに同時に転送する。前述のように垂直CCDレジスタは1画素1段構成であるから各画素の信号電荷が隣接した垂直CCDレジ

次に、Bフィールドにおいては、同じく全ての感光部に蓄積された信号電荷をフィールドシフトゲート4を介して垂直CCDレジスタへ同時に転送する。これらの信号電荷を垂直方向に1段ずつ転送して水平CCDシフトレジスタ5に送るがAフィールドと異なり第2図でダッシュがつかない感光部例えばP₂₂からの電荷が水平CCDレジスタ5に入った時に、そのまま保持せず、水平CCDレジスタの1段相当分(1列分)だけ前方へ送る。以下、これを1列順送りと名付ける。1列順送りした時点で、再び垂直CCDレジスタを1段転送して、水平CCDレジスタ5にもう1行の電荷を送り込む。この電荷はダッシュのついた感光部例えばP_{11'}からのものである。この後に水平転送を行ない信号を読み出す。この動作を繰り返すと、Bフィールドの信号は斜め方向に2個の感光部(P_{11'}, P₂₂), (P_{13'}, P₂₄)…で蓄積された信号電荷の加算されたものとなる。これが水平CCDレジスタでの第2の動作モードである。

タの各段に個別に保持される。これらの信号電荷を垂直CCDレジスタの中を第3図の下方へ一段ずつ転送する。通常のCCDでは1段ずつ転送されて水平CCDレジスタ5に入った電荷は水平方向に高速で転送されて順次出力部2から読み出される。

これに対して本実施例の固体撮像装置においては、垂直方向1段の転送により水平CCDレジスタ5に入った1行の電荷をそのまま保持しておき、さらに垂直方向1段の転送によりもう1行の電荷が入った後に水平転送を行なう。この動作を繰り返すと垂直方向に連続して設けられた2個の(P₁₁, P_{11'}), (P₁₂, P_{12'})…, (P_{1N}, P_{1N'}), …, (P₂₁, P_{21'}), (P₂₂, P_{22'}), …, (P_{2N}, P_{2N'}), …, (P_{M1}, P_{M1'}), (P_{M2}, P_{M2'}), (P_{MN}, P_{MN'})で蓄積された信号電荷が加算されて読み出される。これが水平CCDレジスタでの第1の動作モードである。

これらのAとBフィールドの組み合せによるサンプル点を図示したのが、第5図である。黒丸印は第2図と同じAフィールドであるが、白丸印のBフィールドが水平方向で半分ずれており斜方格子配列となる。

本発明者等の1人が他と著者と共に解説して示したように斜方格子配列では一般に水平解像度が向上する(参考文献: テレビジョン学会誌第37巻第10号819頁~825頁)。斜方格子配列は、いわゆる市松配置であり補間配置であるから、本実施例の固体撮像装置はIT-CCDを基本としながら、従来は難しいとされてきたCCDの市松配置をサンプリングの点で達成した事になる。なお、Bフィールドのサンプリング点は水平方向で半画素ずれているので水平信号の時間軸で半画素遅れた位置に一致させる必要がある。この調整は水平CCDシフトレジスタへのクロックパルスの位相180度ずらす事により半ビットの遅延として達成できる。

以上の実施例で説明した動作の内、特に水平

CCDレジスタでのA, Bフィールドに対応した第1, 第2の動作モードについて更に具体的に説明する。第6図は第3図の一部と信号電荷転送の様子を示す図であり、第7図はAフィールドにおけるタイミング図、第8図はBフィールドにおけるタイミング図である。第6図に示すように本実施例での構成は垂直CCDレジスタC₁は転送電極がΦV₁, ΦV₂, ΦV₃の3相であり、水平CCDレジスタ5は転送電極がΦH₁, ΦH₂, ΦH₃, ΦH₄の4相である。そして、感光部P₁で蓄積された信号電荷をフィールドシフトゲートにより垂直CCDレジスタC₁に転送する電極はΦV₂とする。以下順次この信号電荷が転送されて出力される動作を説明する。

第7図のAフィールドにおけるタイミング図は、水平プランギングパルスHBLに同期して垂直CCDレジスタの電極ΦV₁, ΦV₂, ΦV₃ならびに水平CCDレジスタの電極ΦH₁, ΦH₂, ΦH₃, ΦH₄に印加されるパルスを示している。すなわち、Aフィールドでは水平プランギング期

間に2回のラインシフトを行う。このラインシフト動作は第7図に示すようにΦV₁, ΦV₂, ΦV₃に3相のタイミングパルスを印加することで可能となる。2回のラインシフト動作は同じであるので1回目のラインシフト動作について説明する。ときのt₁からt₇までの各時点における垂直CCDレジスタC₁の各電極ΦV₁, ΦV₂, ΦV₃の下に形成される表面電位ならびにこの電位に蓄えられる信号電荷Qの様子が第6図に示されている。このように順次t₁, t₂, …, t₇とパルスのタイミングを変えることにより、信号電荷は矢印Pで示すように転送される。この動作を2回目のラインシフト動作でも同様に行う。そしてこの2回分のラインシフト時は水平CCDレジスタ5の電極の内ΦH₁, ΦH₂は高レベルに保たれ、ΦH₃, ΦH₄は低レベルに保たれる。この結果水平CCDレジスタ5のΦH₁, ΦH₂の下において2行分の信号電荷の加算がなされることになる。この加算された信号電荷はその後水平CCDレジスタ5を駆動することにより

出力部へ読み出される。

次にBフィールドでは、第8図に示すようなタイミングパルスを各電極に印加する。BフィールドではAフィールドと異なり、第3図でダッシュがつかない感光部例えばP₂₂の信号電荷が水平CCDレジスタ5に入った時に、そのまま保持せず1段分出力側へ転送する。この動作は、第8図に示すように水平CCDレジスタ転送電極ΦH₁, ΦH₂, ΦH₃, ΦH₄に、前述した2回のラインシフト動作の中間期間に1段分相当を転送するパルスを与えることで可能である。即ち、垂直CCDレジスタで1回目のラインシフト動作を行ない、次に水平CCDレジスタで出力側へ1段分転送する。そして垂直CCDレジスタで2回目のラインシフト動作を行う。これにより例えば第3図の感光部P₂₂とP₁₁の信号電荷の加算が出来る。その後加算された信号電荷は水平CCDレジスタ5を駆動して読み出す時に、1/2画素相当分遅延して読み出す。ここでラインシフト動作における信号電荷転送は第6図で説明した動作

と同じである。

なお、水平CCDシフトレジスタは2相、3相あるいは4相のCCDが使える。各列に1段の水平CCDが対応していれば良い。また、この水平CCDシフトレジスタへの垂直CCDレジスタからの電荷の受渡しの際のゲート機構は、垂直CCDの電極の一部、例えば最終段CCDの第3電極を兼用しても良いあるいは、別にシフト・ゲートを設けても良い。

またBフィールドにおいて、第3図で一列の異なる画素でかつ、行の異なる右下がりの斜めの画素との組み合せで説明したが右上がりの斜め画素の組み合せ、例えば(P₁₂, P₂₁)でも良い。ただしこの場合はダッシュのない感光部、例えばP₁₂からの電荷が水平CCDシフトレジスタに送り込まれたら、後方へ1段送る。以下、これを1列逆送りと名付ける。そこでダッシュのついた感光部例えばP₂₁からの電荷を加えた後に水平転送して信号を読み出す事が必要である。この場合には、水平CCDシフトレジスタは逆送

りする必要があるので転送方向が予め定められているCCD（例えば2相CCD）は使えず、3相または4相CCDとなる。

なお、本発明では斜め方向の画素の加算を行うので、有効画面の端では組合わせの半端な画素が出る場合がある。このためダミーの画素あるいは信号処理が必要である。

上記実施例では、従来の垂直方向2画素を加算したフィールド蓄積モードをAまたはBフィールドとし、これに斜めの画素を加算したBまたはAフィールドのそれぞれの組合わせで2フィールド、1フレーム方式のサンプリング点が市松配置となる高解像度固体撮像装置の例である。この方式ではサンプリング点の数は従来のIT-CCDとは限らず $2N \times M$ 個（＝ 500×400 個）であり、配置が変るため、水平の見掛け上の解像度が増加する。

本発明の固体撮像装置ではサンプリング点が確実に2倍となる高解像度化が達成できるのが特徴である。すなわち、上記実施例で述べた各フィー

ルドを用いて、4フィールド1フレームの撮像を行なう事によりサンプリング点の2倍化が出来る。すなわち、第9図に示すように、Aフィールドでは同列の垂直2画素の加算により黒丸印のサンプリング点を形成する。次のBフィールドはインターレースにて1画素垂直方向に下方へ組合わせを変え右下がりの斜め画素の加算により白丸印のサンプリング点を形成する。次のフィールドをA'フィールドとするとインターレースにて1画素垂直方向に上方へ組合わせを戻し、かつ右下がりの斜め画素の加算により黒三角印のサンプリング点を形成する。さらに次のフィールドをB'フィールドとすると、再びインターレースにて1画素垂直方向に下方へ組合わせを変え、垂直2画素の加算により白三角印のサンプリング点を形成する。AフィールドとB'フィールドは水平CCDシフトレジスタで同列の垂直2画素の信号電荷加算を行なう。Bフィールドでは先に水平CCDシフトレジスタに入った信号電荷を1画素逆送りした上で隣の列の右上がりの斜め方向の画素の信号電荷

と加算する。A'フィールドでは、水平CCDシフトレジスタでの1画素順送りの後に隣の列の左上がりの斜め方向の画素との信号加算となる。これらの動作により、サンプリング点は図に示すように正方格子配列となって確実に2倍となり、高精細の高解像度固体撮像装置となる。なお、サンプリングの順はA→B→A'→B'に限らずA→B'→A'→Bでも良い。また、NTSC方式にとらわれず、ファクシミリなどの静止画撮像などでは、上記のサンプリングの順序はA→A'→B→B'、A→A'→B'→B、A→B'→B→A'やA→B→B'→A'でも良い。いずれも、サンプリング点を増加する点に意味がある。

同列の画素で垂直2画素の加算は水平CCDシフトレジスタの動きを止めて行ない隣接した列の画素で斜めの2画素（行が異なる2画素）の加算は1画素分が水平CCDシフトレジスタに入った後に1列順送りまたは1列逆送りした上で残りの画素水平CCDから見て遠い位置の画素）の信号電荷を送り込んで加算するのが本発明の固体撮像

装置の特徴である。なお、1画素1段の垂直CCDを主体として述べると、同列の垂直に連続した2段の信号電荷の加算によるフィールドと、異なる列の斜めの配置となる2つの段の信号電荷の加算となる。

前述の実施例では、感光部としてPDを用いて光電変換と信号電荷蓄積を同じ位置で行う通常のIT-CCDを用いて説明したが、本発明はこれに限らずIT-CCDを基本とした固体撮像装置により高解像度化が可能である。IT-CCDを基本としたもので最近注目されているのが、いわゆる2階建固体撮像素子である。この素子を用いて本発明の他の実施例を図面により説明する。

第10図は本発明の他の実施例の固体撮像素子の断面図である。P⁺のSI基板21上に例えばエピタキシャルのP層22を形成し、これに垂直転送用CCDのn⁺部23と従来のIT-CCDのホト・ダイオード部に似た蓄積ダイオードのN⁺部24がある。垂直転送用CCDは前述したように3層ポリシリコン電極25により1画素1

段CCDを構成する。蓄積ダイオード24からは第1A&電極26を引き出し、さらにその上に第2A&電極27を形成する。画素間の分離用や表面の平滑化のためポリイミド層28を用いる。これらの上部に光電変換層となるa-Si膜29を形成し、さらに上部透明電極30を形成する。素子の下部が固体走査部31となり、上部が光電変換部32となる。なお、光電変換部のa-Si膜は1層のみならず目的によって2層や3層となる場合もあるが、本発明においては本質ではないので省略する。

第10図の固体撮像装置には、前述の実施例と同じような水平CCDシフトレジスタが設けられる。画素の有効感光部は第2A&電極27でできる。

第11図は第10図を上部からみた時の画素構成の一部を示す。I, II, … Vは垂直CCDレジスタを示し、1a, 1a', …, 5b, 5b'の大きな矩形は第10図の第2A&電極27によって規定される画素を示し、小さな矩形は第10図

の蓄積ダイオードとの接続部を表わす。a-Si膜29で光電変換された信号電荷は第2, 第1のA&電極を通って蓄積ダイオード24に蓄積され、その後は通常のIT-CCDと同じように垂直CCDへ転送される。第11図は画素が正方格子配列となっている場合であり、垂直方向の構造は異なるが実効的な平面構造は第3図と同じであるから、1画素1段構成の垂直CCDと水平CCDレジスタでの加算を行えば、第5図或いは第9図のサンプリング点が形成でき高解像度化が達成できる。

この場合、第5図のサンプリング点のAフィールドは第11図では、例えば1aと1a'の垂直2画素、Bフィールドは1a' と2bの斜めの2画素の加算である。第9図はこれらに1a' 1b'の垂直2画素によるB'フィールド、1a' と2aの斜め2画素によるA'フィールドのサンプリング点が加わる。

同じ2階建固体撮像素子であるが画素配置そのものが市松配置にできる素子にも本発明が適用で

きる。すなわち、第12図に示すように、第10図の第2A&電極の引き出し方向を1行ごとに反対方向とすると画素配置が市松状となる。従来のモノリックのCCDでは市松配置画素は極めて構造が複雑となるが、IT-CCDを基本とした2階建固体撮像素子では簡単に市松配置ができる。第12図において1a～1b'の信号電荷は垂直CCDレジスタIに転送され、2a～2b'は同じく垂直CCDレジスタIIに転送される。この素子でAフィールドでは(1a, 1a'), (1b, 1b'), (2a, 2a')や(2b, 2b')のように信号電荷を合わせて読みだし、Bフィールドでは(1a', 1b)や(1b', 1c), (2a', 3b)や(2b', 3c)のように信号電荷を読み出すと、通常のIT-CCDと同じ第2図の粗い正方格子配列のサンプリング点となる。(図ではc, c'行は略してある)

本実施例においてはまた、Aフィールドでは同じく(1a, 1a'), (1b, 1b'), (2a, 2a')や(2b, 2b')のように垂直

CCDが同列にある信号電荷を加算し、Bフィールドでは(1a', 2b), (1b', 2c), (2a', 3b)や(2b', 3c)のように転送する垂直CCDが別の列となる画素の信号電荷を加算してもよい。Bフィールドでは、例えば2bの信号電荷は水平CCDシフトレジスタに入ると、水平方向に1段前送りされ、そこで1a'の信号電荷を垂直転送により送り込み加算する。この動作によって第5図と同じ斜方格子のサンプリング点となり、水平解像度が良化する。

さらに4フィールドで1フレームを形成しても良い場合には前記A, BフィールドにA', B'フィールドを加えて、第14図のような正方格子となるサンプリング点を形成する。すなわち、黒丸印のAフィールド、白丸印のBフィールドに続いて(2a, 1a'), (2b, 1b'), (3a, 2a')や(3b, 2b')の黒三角印のA'フィールドさらに(1a', 1b), (1b', 1c), (2a', 2b)や(2b', 2c)の白三角印のB'フィールドを加える。

A' フィールドでは加算する画素は別の列の垂直 CCD へ信号が転送されるので、ダッシュのついた画素、例えば 1a' 信号電荷は水平 CCD シフトレジスタで 1 段逆送りした上でダッシュのない画素、例えば 2a の信号電荷を送り込んで加算する。B フィールドでは各画素から同列の垂直 CCD へ転送されるので水平 CCD シフトレジスタ部で垂直 2 画素分の加算を行なえば良い。第 14 図のサンプリング点を形成すると水平方向の解像度は 2 倍となり高精細の固体撮像装置を提供できる。

以上、説明した通り従来の IT-CCD の 2 画素 1 段の垂直 CCD を 1 画素 1 段 CCD とし、同列の垂直 CCD に入った垂直 2 画素の信号電荷の加算と、異なった列の垂直 CCD に入り行が異なる斜めの 2 画素の信号電荷の加算を水平シフトレジスタの 1 列順送りまたは逆送り後に行なう事により高解像度の固体撮像装置が得られる。

上記の実施例では感光部のみに着目するとすべて水平に半画素ずれた斜め方向の画素の加算になっている。斜め方向という点からは、水平に

1. 5 画素ずれた斜め方向画素の加算でも良い。例えば、第 12 図において (2a', 3b) のサンプリング点は (3a', 2b) のサンプリング点と同じであり、2b の信号電荷を水平 CCD シフトレジスタで 1 列逆送りしてから 3a' とから加算すれば良い。また (2a', 3b) は水平で 2. 5 画素ずれた斜め方向の (1a, 4b) と同一であり、1b の信号電荷を 3 列逆送りしてから 4b' の信号と加算する事になる。これらの画素のはなれた斜め方向の加算は白黒素子では解像度を落すため使う必要がないが、カラー素子では同色フィルターの配置が離れている場合があり、サンプリング点を増加して解像度を上げるように効果がある。

なお、第 12 図の市松配置画素においてダッシュのつかない 1a, …, 5a や 1b, …, 5b の信号電荷を転送する垂直 CCD は各画素領域の左方の I, …, V としダッシュのついた 1a', …, 5a' や 1b', …, 5b' は右方の II, …, VI とする 2 階建構成も可能である。この場合 A フィ

ールドの (1a, 1a') の加算は異なった列の垂直 CCD 間となるので、1a' 信号電荷を水平 CCD シフトレジスタで 1 列順送りしてから 1a の信号電荷と加算する。また B フィールドの (1a', 2b) は同列の垂直 CCD となるので 2b の信号電荷を水平 CCD シフトレジスタで保持して、これに 1a' の信号電荷を加える。A' フィールドの (2a, 1a') は同列の垂直 CCD, B' フィールドの (1a', 1b) は異なった列の垂直 CCD となるから、それぞれに水平 CCD シフトレジスタで前述の加算を行なう。

本発明においては信号電荷として電子を例にとったが、正孔を信号電荷とする固体撮像装置にも用いる事ができる。

さらに本発明における信号電荷は、光によって生ずるものに限られず、例えば加速電子、X 線等により発生するものであってもよい。

なお、本発明では水平方向の解像度を上げる例を説明したが同じように垂直方向の解像度を上げるのにも適用できる。

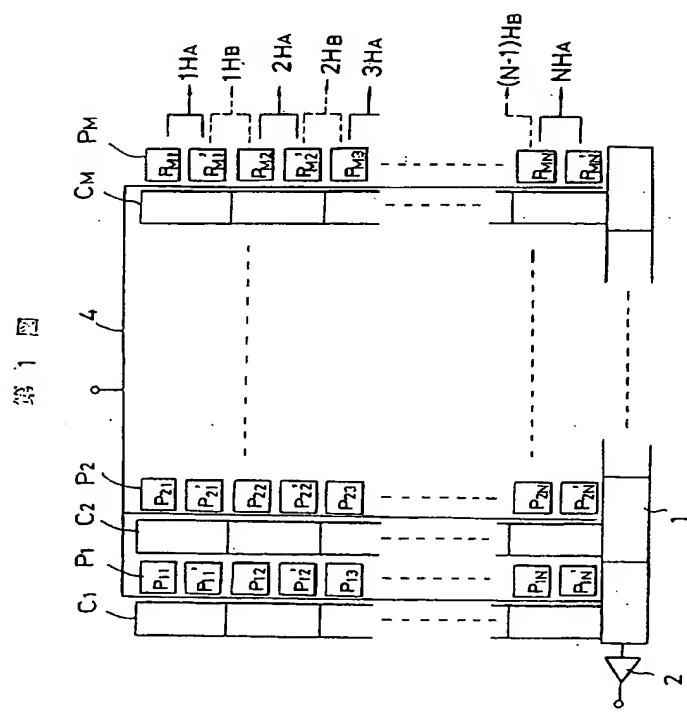
4. 図面の簡単な説明

第 1 図は従来の IT-CCD の構成を示す図、第 2 図は第 1 図の IT-CCD による空間サンプリング点を示す図、第 3 図は本発明の固体撮像装置の一実施例を示す構成図、第 4 図は第 3 図の垂直転送 CCD レジスタの構成を示す断面図、第 5 図は第 3 図の本発明の固体撮像装置による空間サンプリング点を示す図、第 6 図～第 8 図はこの様なサンプリング点を得るための具体的な動作を説明するための図、第 9 図は同じく上記固体撮像装置による別の空間サンプリング点を示す図、第 10 図は本発明の固体撮像装置の他の実施例の画素の断面図、第 11 図は第 10 図の画素構成を説明する図、第 12 図は第 10 図の他の画素構成を説明する図、第 13 図および第 14 図は第 12 図の画素構成による空間サンプリング点を示す図である。

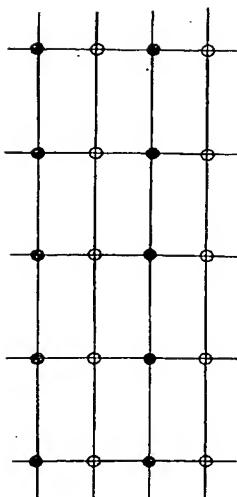
(P₁, P₂, …, P_M) … 感光部、(C₁, C₂, …, C_M) … 垂直 CCD レジスタ (垂直電荷転送部)、2 … 出力部、4 … フィールドシフト

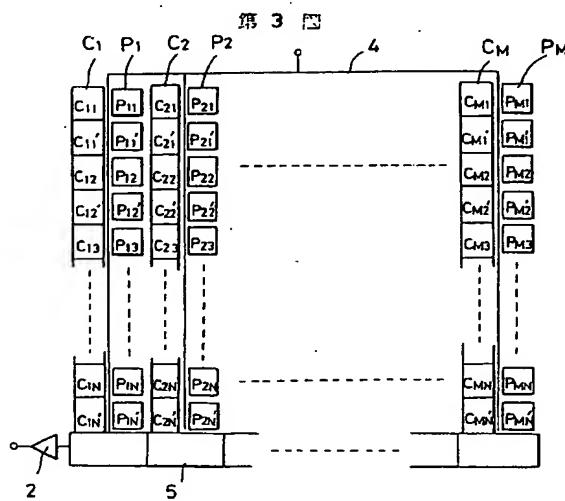
ゲート、5…水平CCDシフトレジスタ（水平電荷転送部）、10…P形シリコン基板、11… n^+ 層、12…第1ゲート酸化膜、13…第2ゲート酸化膜、14…第3ゲート酸化膜、15（15-1, …, 15-i, …）…第1層目の転送電極、16（16-1, …, 16-i, …）…第2層目の転送電極、17…第3層目の転送電極、 A_P …1画素領域、 A_o …重なり部、21… P^+ シリコン基板、22…P層、23, 24… n^+ 部、25…3層ポリシリコン電極、26…第1 A_o 電極、27…第2 A_o 電極、28…ポリイミド層、29…a-Si膜（光電変換膜）、30…上部透明電極、31…固体走査部、32…光電変換部、（1a, 2a, …, 5a, …, 1b', 2b', …, 5b'）…画素、（I, II, …, V）…1画素1段垂直CCDレジスタ。

出願人代理人 弁理士 鈴江武彦

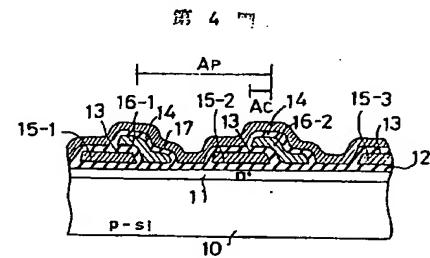
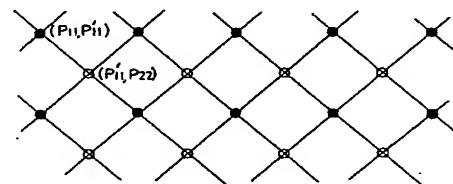


第2 図

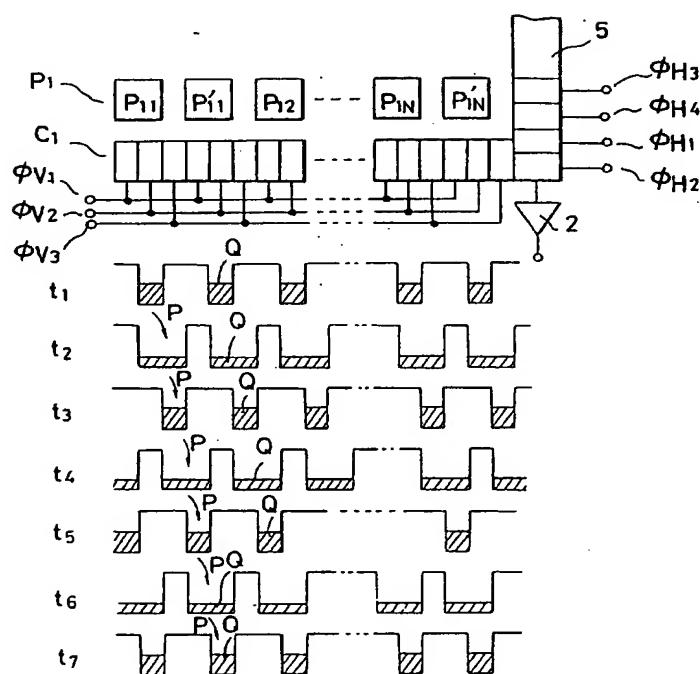




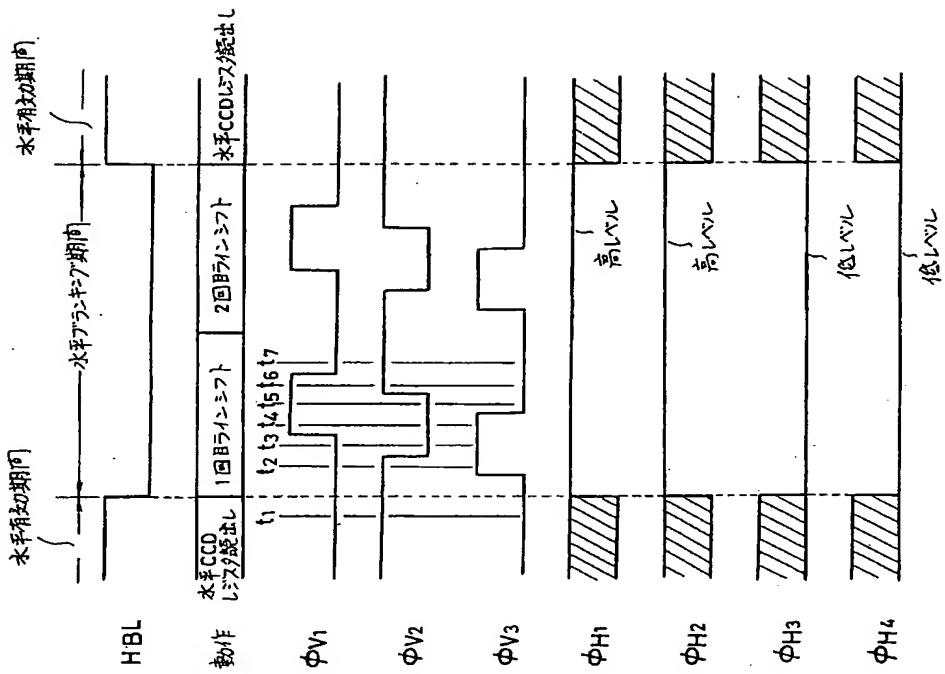
第5図



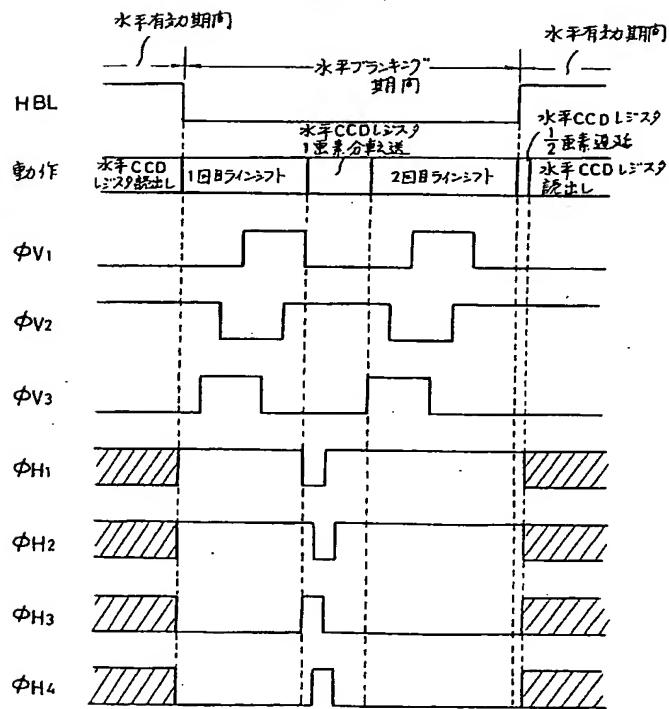
第6図



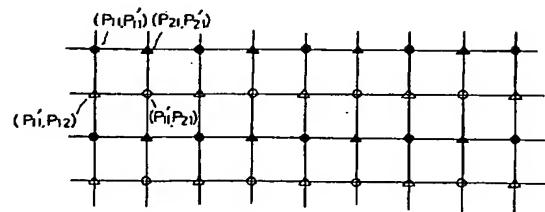
第7図



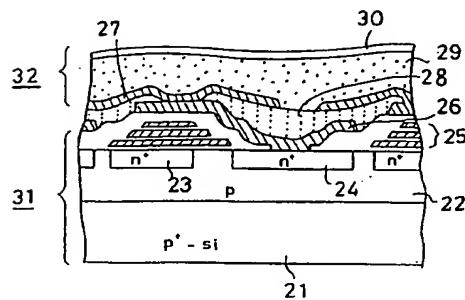
第8図



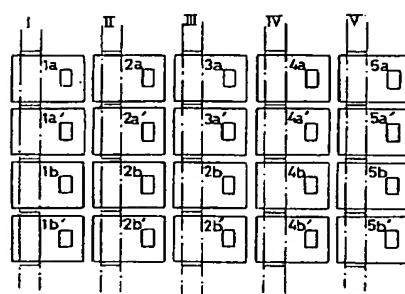
第9図



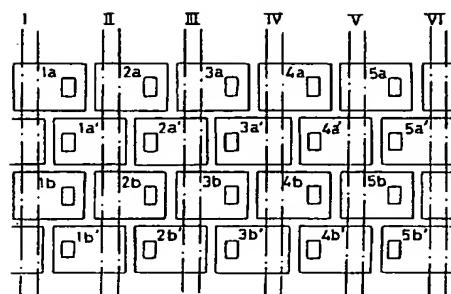
第10図



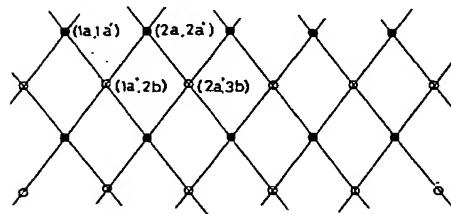
第11図



第12図



第13図



第14図

